

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-249823

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

G06F 11/22
G06F 11/28
G06F 15/78

(21)Application number : 2000-058207

(71)Applicant : RICOH CO LTD

(22)Date of filing : 03.03.2000

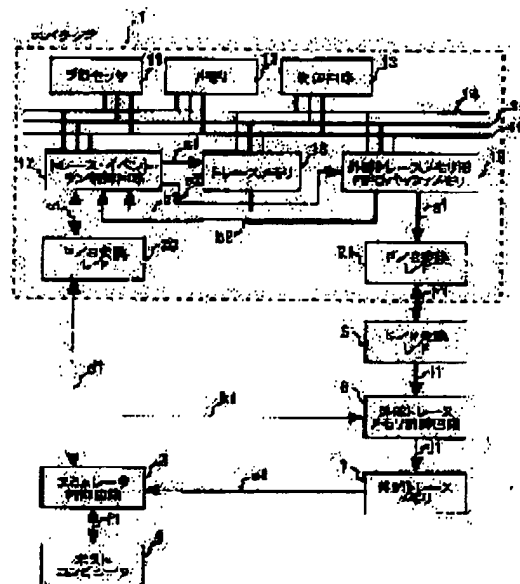
(72)Inventor : FUKUSHIMA MASANOBU
NAKAMURA KEIJI

(54) MICROCOMPUTER DEVELOPMENT ASSISTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a microcomputer development assisting device at low cost, with high debugging efficiency, with a real time trace function and capable of checking whether or not a program exactly runs.

SOLUTION: A trace memory 18 capable of tracing all bus cycles and a FIFO buffer memory 19 for external trace memory are embedded in an emulation chip 1 with a processor 11, data to be stored in an external trace memory 7 is stored in the buffer memory 19 due to an asynchronously generated event. The data written as trace data is stored in the external trace memory 7 at intervals of the asynchronously generated events.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-249823
(P2001-249823A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 6 F 11/22	3 4 0	C 0 6 F 11/22	3 4 0 A 5 B 0 4 2
			3 4 0 E 5 B 0 4 8
11/28		11/28	L 5 B 0 6 2
	3 1 0		3 1 0 B
15/78	5 1 0	15/78	5 1 0 K
審査請求 未請求 請求項の数4 O L (全 7 頁)			

(21) 出願番号 特願2000-58207(P2000-58207)

(22) 出願日 平成12年3月3日 (2000.3.3)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 福島 正展

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 中村 圭治

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 100085213

弁理士 島居 洋

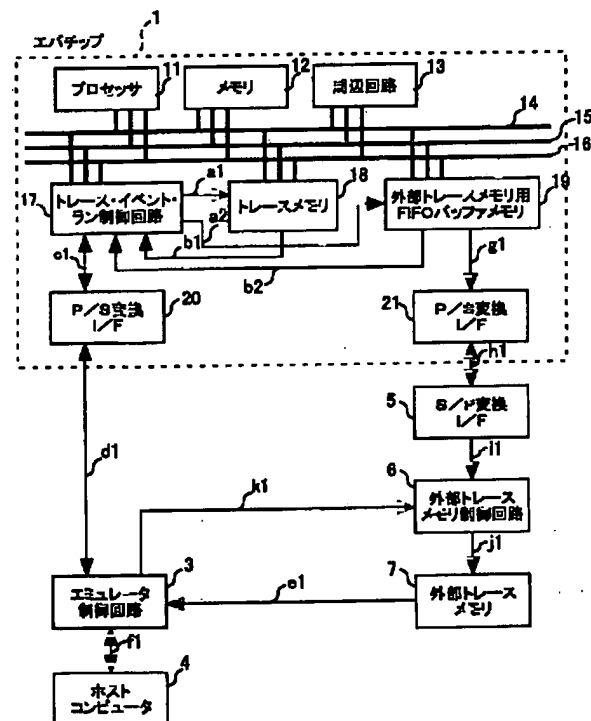
最終頁に続く

(54) 【発明の名称】 マイクロコンピュータ開発支援装置

(57) 【要約】

【課題】 低コストでデバッグ効率の高い、リアルタイムトレース機能を持ち、プログラムが正しく走行しているかをチェックすることができるマイクロコンピュータ開発支援装置を提供すること。

【解決手段】 プロセッサ11を備えるエバチップ1内に、全バスサイクルをトレース可能なトレースメモリ18と外部トレースメモリ用FIFOバッファメモリ19を内蔵し、非同期的に発生するイベントにより、外部トレースメモリ7へ格納するデータをバッファメモリ19に格納する。トレースデータとして書き込まれた前記データが、非同期的に発生するイベント間隔で外部トレースメモリ7に格納される。



【特許請求の範囲】

【請求項1】 プロセッサを備える半導体装置内に、外部トレースメモリ用バッファメモリを内蔵し、非同期的に発生するイベントにより、前記外部トレースメモリへ格納するデータを前記バッファメモリに対して格納し、トレースデータとして書き込まれた前記データが、非同期的に発生するイベント間隔で外部トレースメモリに格納されることを特徴とするマイクロコンピュータ開発支援装置。

【請求項2】 前記外部トレースメモリ用バッファメモリの格納データをパラレル・シリアル変換回路を介して、シリアルデータとして外部に出力することを特徴とする請求項1に記載のマイクロコンピュータ開発支援装置。

【請求項3】 前記外部トレースメモリ用バッファメモリがフルになり、バッファメモリが間に合わない場合には、そのステータス信号を出力し、通知することを特徴とする請求項1又は2に記載のマイクロコンピュータ開発支援装置。

【請求項4】 プロセッサを備える半導体装置内に、全バスサイクルをトレース可能なトレースメモリをさらに備えことを特徴とする請求項1ないし3のいずれかに記載のマイクロコンピュータ開発支援装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、インサーキットエミュレータ（ICE）等のデバッグ機能を有するマイクロプロセッサの開発支援装置に関する。

【0002】

【従来の技術】マイクロコンピュータ開発支援装置において、マイクロコンピュータ内のプログラムの実行結果を検証するためには、マイクロコンピュータと同等の機能を持ち、且つ内部RAM、I/Oなどにアクセスする際の内部状態を外部から確認できるエミュレータが用いられている。

【0003】このエミュレータは、ユーザが開発しようとするシステム上で動作し、演算・周辺回路へのアクセスなどを行い、その実行結果をトレースメモリに保存しておくことで、ユーザのデバックをサポートするものである。

【0004】バスの状態をリアルタイムでメモリに格納するリアルタイムトレース機能を持つICE（インサーキットエミュレータ）を用いたマイクロコンピュータの開発支援装置においては、MPUの高速化に伴い、バスも高速化するため、MPUを備える半導体装置の外部のボード上にトレースメモリを持つことでは間に合わなくなり、トレースメモリを半導体装置内に内蔵する場合がある。

【0005】しかしながら、内蔵するためには、製造上の問題やコストの問題のため、トレースメモリ容量に限

界があり、デバッグシステムに要求されているトレースメモリ容量は内蔵できずに、結果的にデバッグ効率が悪いという問題がある。

【0006】ところで、特開平8-161191号公報には、高速のMPUがターゲットである場合でも、十分なデバッグを行うことができるようにするために、ターゲット装置内にある組み込みチップ内に、ステート解析用のトレース機能、リアルタイムなオンチップデバッグリソースをターゲットMPUの走行を止めることなく全ステートで行うノンブレイクデバッグ機能及びオフチップのモニタメモリアクセスインターフェイス機能を持つデバッグユニットを設けたインサーキットエミュレータが提案されている。

【0007】上記の構成により、ある程度の高速化は可能であるが、トレースメモリがオフチップにあるため、上記公報にも記載されているように、100MHz程度までしか高速化対応できないという問題があった。

【0008】また、特開平8-63368号公報には、高速なマイクロコンピュータのリアルタイムエミュレーション、リアルタイムトレースを、エミュレータ側の信号はユーザーシステムの動作に不要な構成とすることで、高速化対応を可能とするエミュレータを提案されている。すなわち、この公報では、エミュレーションはユーザーシステム上のマイクロコンピュータが行い、トレースデータは外部のシミュレーション手段で作成することで高速化対応を可能とすることができるエミュレータおよびマイクロコンピュータが提案されている。

【0009】上記した方法では、トレースデータは、トレースデータをシミュレーション手段で生成するため、マイクロプロセッサがプログラムを実行する上で、プログラムの問題は発見することは可能であるが、実際の半導体装置のハードウェア障害を正確には診断することができないという問題があった。

【0010】

【発明が解決しようとする課題】この発明は、上述した従来の問題点に鑑みなされたものにして、低コストでデバッグ効率の高い、リアルタイムトレース機能を持ち、プログラムが正しく走行しているかをチェックすることができるマイクロコンピュータ開発支援装置を提供することを目的とする。

【0011】

【課題を解決するための手段】この発明は、プロセッサを備える半導体装置内に、外部トレースメモリ用バッファメモリを内蔵し、非同期的に発生するイベントにより、前記外部トレースメモリへ格納するデータを前記バッファメモリに対して格納し、トレースデータとして書き込まれた前記データが、非同期的に発生するイベント間隔で外部トレースメモリに格納されることを特徴とする。

【0012】上記したように、この発明は、プログラム

が正しく走行しているかをチェックするために、プログラムデータのアドレス、プログラムのデータ及び各種ステータス信号を格納するためのトレースメモリを内蔵するのは別に、非同期的に発生するイベントにより、トレースメモリへ格納するデータをトレースするための小容量の外部トレースメモリ用バッファメモリを持つ。そして、非同期的に発生するイベント間隔の時間を利用して、半導体装置外部に構成された、大容量トレースメモリに逐次格納していく機能を持たせることで、低コストでデバッグ効率の高い、リアルタイムトレース機能を持つマイクロコンピュータ開発支援装置が提供できる。

【0013】また、この発明は、前記外部トレースメモリ用バッファメモリの格納データをパラレル・シリアル変換回路を介して、シリアルデータとして外部に出力するように構成することができる。

【0014】また、この発明は、前記外部トレースメモリ用バッファメモリがフルになり、バッファメモリが間に合わない場合には、そのステータス信号を出力し、通知するように構成することができる。

【0015】上記した構成によれば、外部トレースメモリ用バッファメモリへの格納データのスループットの平均値が大きく、外部への出力が間に合わなかった場合には、オーバーラン等の障害が起きたことを知らせる、ステータス信号が出力することで、トレースを実施した情報が有効か無効かを知ることができる。

【0016】さらに、この発明は、プロセッサを備える半導体装置内に、全バスサイクルをトレース可能なトレースメモリをさらに備えるとよい。

【0017】上記したように、大容量の外部トレースメモリと全バスサイクルをトレース可能な、内蔵トレースメモリの2つのトレースメモリを使用することで、非同期データの不具合と、プログラムの詳細なトレースを、対応づけて、同時に解析することができ、デバッグ効率を高くできる。

【0018】

【発明の実施の形態】以下、この発明の実施の形態につき図面を参照して説明する。図1は、この発明の実施の形態を示すブロック回路図である。

【0019】図1におけるエバチップ（ターゲット）1は、マイクロプロセッサ開発支援装置のプロセッサ11、メモリ12、周辺回路13を含むデバッグしたい対象となるものである。

【0020】このエバチップ1の特徴としては、デバッグ対象となる装置とは別に、トレース・イベント・ラン制御回路17、トレースメモリ18、外部トレースメモリ用FIFOバッファメモリ19やエバチップ1外部とインターフェイスするためのパラレル／シリアル（P/S）変換回路20、21を内蔵している。このトレースメモリ18には、プログラムデータのアドレス、プログラムのデータ及び各種ステータス信号が格納され、バッ

ファメモリ19は、非同期的に発生するイベントにより、外部に設けられる大容量のトレースメモリ7へ格納するデータを一旦格納するために用いられる。

【0021】次に、各ブロックの機能を説明すると、プロセッサ11はデバッグ対象となるCPUやDSP等のプロセッサであり、メモリ12とアドレスバス14、データバス15、ステータスバス16等で接続されている。

【0022】また、周辺回路13もデバッグ対象となるユーザーシステムで、ユーザーが回路を構成して、エバチップ1に内蔵され、プロセッサ1とバス14、15、16で接続されている。

【0023】トレース・イベント・ラン制御回路17は、プロセッサ11がプログラムを走行、停止するための制御並びに、トレースメモリ18へのアドレス出力と書き込み読み出し制御をコントロールバスa1を通じて制御するものである。

【0024】さらに、トレース・イベント・ラン制御回路17は、コントロールバスa2を通じて外部トレースメモリ用のFIFOバッファメモリ19への書き込み制御を行う。

【0025】そして、ホストコンピュータ4には、マイクロコンピュータ開発支援用のデバッグソフトが走り、主としてコントロールバスf1を通じて、エミュレータ制御回路3に、デバッグ動作のための指示を出力すると共に、バスf1を通じて、デバッグ対象システムのレジスタ、メモリの各種データや、トレースメモリ18や外部トレースメモリ7から、トレースデータを取得すると共に、トレースデータの逆アセンブル表示、解析等を行う機能を持っている。

【0026】ホストコンピュータ4上のデバッグソフトからデバッグ動作の指示は、エミュレータ制御回路3を通じて、エバチップ1のパラレル・シリアル変換回路20に入り、コントロールデータバスc1を通じてトレース・イベント・ラン制御回路17に入る。そして、プロセッサのプログラムラン、ストップ制御することと、トレースメモリ18へ格納するための条件となるトレース制御や、外部トレースメモリ用FIFOバッファメモリ19へ格納するための条件となるトレース制御を行う。

【0027】データバスb1は、ホストコンピュータ4からの要求でトレースメモリ18の内容を読み出す際にこのバスb1とバスc1、バスd1、f1を通じてデータを受け渡しすることになる。

【0028】また、ステータスバスb2は、トレースメモリ用のFIFOバッファメモリ19が間に合わない場合等に、異常を知らせるステータス用の出力信号になる。

【0029】そして、データバスg1は、トレースメモリ用FIFOバッファメモリ19に書き込みが起こるたびに、書き込みデータがパラレル・シリアル変換回路2

1を通じて、エバチップ1外部に出力され、バスh1から更にシリアル・パラレル変換回路5や外部トレースメモリ制御回路6にデータがi1, j1バスを通じて出力され、大容量の外部トレースメモリ7に逐次格納されることになる。

【0030】また、バスj1は、外部トレースメモリ7のアドレスも出力し、更にリード、ライトの制御も行う信号である。

【0031】ホストコンピュータ4から、外部トレースメモリ7のデータを読み出したい場合には、エミュレータ制御回路3を通じて、バスk1からのコントロール信号にて、バスj1に外部トレースメモリ7を読み出すための、アドレス、リード信号を出力し、外部トレースメモリ7からバスe1を通じてデータを読み出すことになる。

【0032】さて、上記したこの実施形態の特徴は、エバチップ1内に小容量の外部トレースメモリ用FIFOバッファメモリ19を内蔵し、トレースデータとして書き込まれたデータが、プログラムを走行中、すなわちトレース実行中に、大容量の外部トレースメモリ7に移されることにある。

【0033】その他の特徴としては、エバチップ1にトレースメモリ18を内蔵し、通常のリアルタイムトレースすなわち全てのバスサイクルをトレースメモリ18に格納できる機能を持つことである。

【0034】この発明の動作例を、図2のプログラムの流れを用いて説明する。図2はプログラムの実行の時間的な流れを簡単に示したものである。

【0035】プログラムはメインを実行している時に、割り込みやDMA等の非同期イベントAにより、サブルーチンAに入り、割り込みやDMA等の非同期イベントBによりサブルーチンBに入るものとする。

【0036】従来のリアルタイムトレースメモリであれば、半導体装置に内蔵されているトレースメモリに格納するデータとしては、例えば、次の使い方があ

【0037】a) ある時点でのプログラムアドレス情報をトリガ条件として、その前後の全てのバスサイクルをトレースメモリに格納する。

b) 特定アドレスのデータアクセスのみをトレースメモリに格納する。

【0038】例えば、いまデバッグしようとしているプロセッサのバスサイクルタイムが5nsec(200MHz)、図2のT1を1msec、T2を9msecでかつ内蔵されているトレースメモリが1kアドレスあると仮定すると、上記したa)の場合には、5μsecのプログラム分しかトレースメモリに入らないことになる。また、b)の場合には、非同期イベントA、BによるサブルーチンA、B内の特定のデータアクセスのみをトレースメモリに格納しても、非同期イベントが平均10msec毎に起こると仮定すれば、1000回の非同

期イベントすなわち10secのデータアクセス分しかトレースメモリに格納できないことになる。

【0039】例えば、5分に1回位の割合で、不具合が生じている場合等は、トレースメモリは時間的に不足しており、デバッグが困難である。

【0040】さらに、b)の場合に関しては、5secのデータはトレースでき、仮に不具合のデータを見つけたとしても、プログラムを解析して詳細にデバッグを進めるためには、全てのバスサイクルがある方がデバッグ効率はよく、その場合にはエラーの非同期イベントをトリガ条件として、その非同期イベントに対してa)の全バスサイクルをトレースするモードでトレースメモリへ取り込みを実施する。

【0041】その際、a)のモードでは、非同期イベントは入ったとしても1回しか期待できないため、非同期イベントA、Bの組み合わせの状況で不具合が生じている場合は、デバッグは非常に困難である。

【0042】これに対して、この発明の実施形態である図1の例では、図2に示す非同期イベントA、Bは、外部トレースメモリFIFOバッファメモリ19、パラシ

リ変換I/F21を経由して、最終的に大容量の外部トレースメモリ7に格納される。

【0043】そして、非同期イベントが、A、Bの2種類有って、イベントが生じる度に外部トレースメモリ用FIFOバッファメモリ19に格納され、データが、格納されるとパラレル・シリアル変換回路21に出力され、エバチップ1外部に出力され、外部トレースメモリ7に格納される。

【0044】この出力されるデータは、非同期イベント間隔の時間を利用して外部に出力するものとする。

【0045】複数の非同期イベントが連続的に起きる場合でも、FIFOバッファメモリ19にある程度の容量を持たせることで、問題なくシリアル出力することができる。

【0046】また、外部トレースメモリ7への、ライト信号、データの生成、アドレスの生成は、シリアル・パラレル変換回路5、外部トレースメモリ制御回路6によって生成される。

【0047】一方、内蔵のトレースメモリ18は、全てのサイクルのプログラムを解析して詳細にデバッグを進めるための機能で、エラーの生じている非同期イベントと、プログラムの詳細トレースが、一度のプログラム走行で同時にトレースできるため、エラーのを見つけやすさが向上し、デバッグ効率が高くなる。

【0048】そして、プログラム走行にて、トレースデータを取得した後は、ホストコンピュータ4上で走るデバッグプログラムからの指示で、エミュレータ制御回路3を通じて、プロセッサ11の内部レジスタの情報、メモリ12の情報、周辺回路13の情報を取得すると共に、トレースメモリ18、外部トレースメモリ7から、

トレース情報を吸い上げ、更にホストコンピュータ4上で、解析、逆アセンブル等の解説を行い、ホストコンピュータ上に表示することで、デバッグを行うことができる。

【0049】トレース情報の例を図3、図4に示す。

【0050】外部トレースメモリ7の格納データは、非同期イベントが生じてサブルーチンで処理される前のデータや処理された後のデータ等を、メモリのアドレスと共に格納するのが効果的であると考えられる。

【0051】例えば、信号処理プログラム等で良く使用される、周辺回路の機能の一部であるA/DコンバータからDSPプロセッサへの、入力データであるアドレスおよびデータ、信号処理後のDSPプロセッサからD/Aコンバータへの出力データであるアドレスおよびデータ情報などがある。

【0052】外部トレースメモリ7を大容量メモリで構成し、そのメモリが1Mアドレス有ったとすると、非同期イベントが平均10msec毎に起こると仮定すれば、1000000回の非同期イベント、すなわち、10000sec(約166分)のデータアクセス分の情報が外部トレースメモリ7に格納でき、5分に1回位の割合で、不具合が生じている場合でも、非同期イベントの不具合箇所を特定することができる。

【0053】更に、不具合が生じるデータやアドレスをトリガ条件にし、内部トレースメモリ18へ、プログラムを再度走行し、図4に示したように、プログラムアドレス、プログラムデータ、データアドレス、各種データ、リードライト、時間情報等の各種ステータスをトレースメモリへ格納すれば、非同期データの不具合と、プログラムの詳細なトレースを、対応づけて、同時に解析することができる。

【0054】

【発明の効果】上記したように、この発明によれば、外部トレースメモリ用FIFOバッファメモリを内蔵するため、高速なバスサイクルをもつ、高速MPUがデバッグの対象の場合でも、問題なくリアルタイムトレース機能を使用してデバッグを行うことができる。

【0055】また、トレースメモリ内蔵の容量の限界すなわち、製造上の問題やコストの問題のため、デバッグシステムに要求されているトレースメモリ容量は内蔵で

きずに、結果的にデバッグ効率が悪いという問題に対しては、外部トレースメモリ用FIFOバッファメモリに格納できるインターバルの制約時間(トレースメモリへの格納データのスループットの平均値 < シリアルI/Fのスループット)があるものの、大容量の外付けトレースメモリを用意することで、デバッグ効率が高くなる。

【0056】さらに、上記外部トレースメモリ用FIFOバッファメモリトレースメモリへの格納データのスループットの平均値が大きく、外部への出力が間に合わなかった場合には、トレースメモリブロックからオーバーラン等の障害が起きたことを知らせるステータス信号がでるため、トレースを実施した情報が有効か無効かを知ることができる。

【0057】また、比較的小容量の外部トレースメモリ用FIFOバッファメモリですむため、エバチップの製造コストが安い。

【0058】さらに、外部の大容量トレースメモリと全バスサイクルをトレース可能な、内蔵トレースメモリの2つのトレースメモリを使用することで、非同期データの不具合と、プログラムの詳細なトレースを、対応づけて、同時に解析することができデバッグ効率を高くできる。

【図面の簡単な説明】

【図1】この発明の実施の形態を示すブロック回路図である。

【図2】プログラムの実行の時間的な流れを示した説明図である。

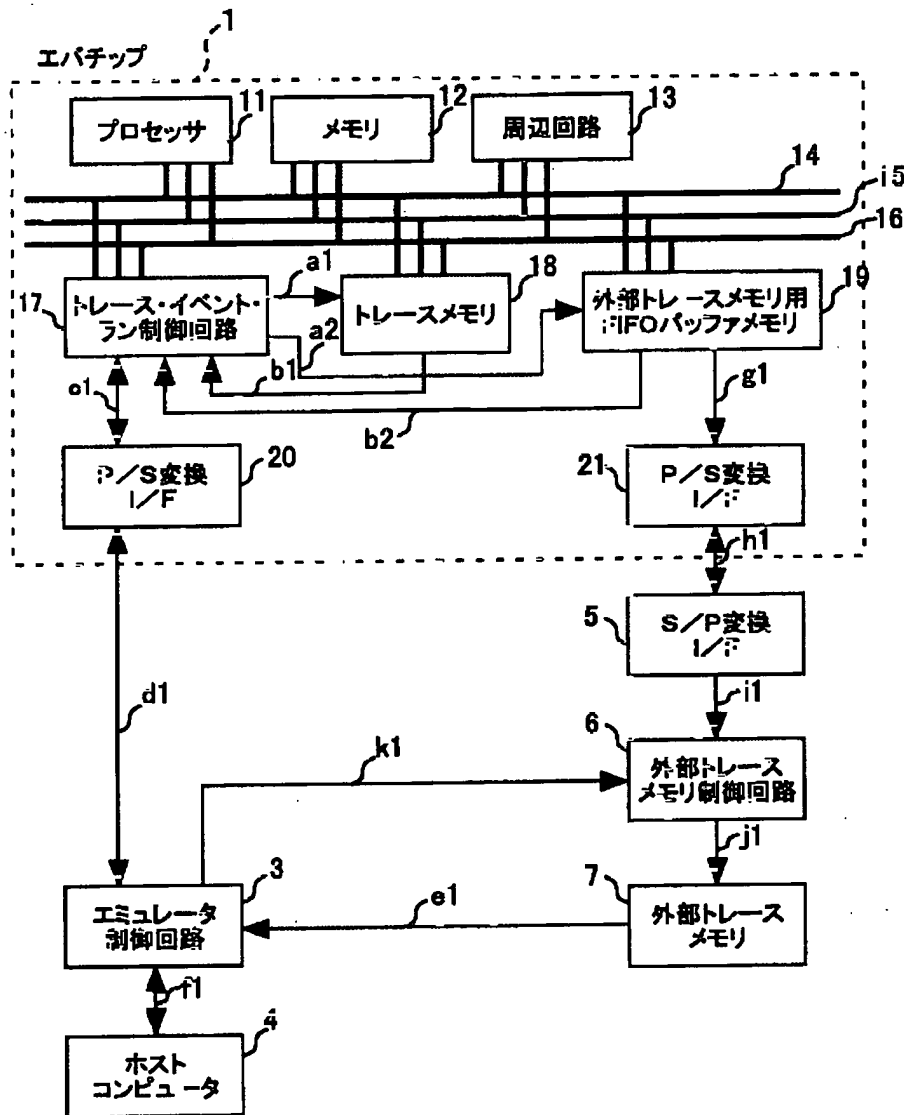
【図3】トレース情報の例を示す模式図である。

【図4】トレース情報の例を示す模式図である。

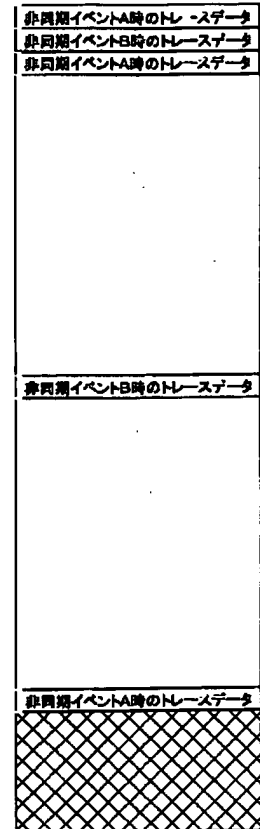
【符号の説明】

- 1 エバチップ
- 3 エミュレータ制御回路
- 4 ホストコンピュータ
- 7 外部トレースメモリ
- 11 プロセッサ
- 12 メモリ
- 13 周辺回路
- 18 トレースメモリ
- 19 外部トレース用FIFOバッファメモリ

【図1】



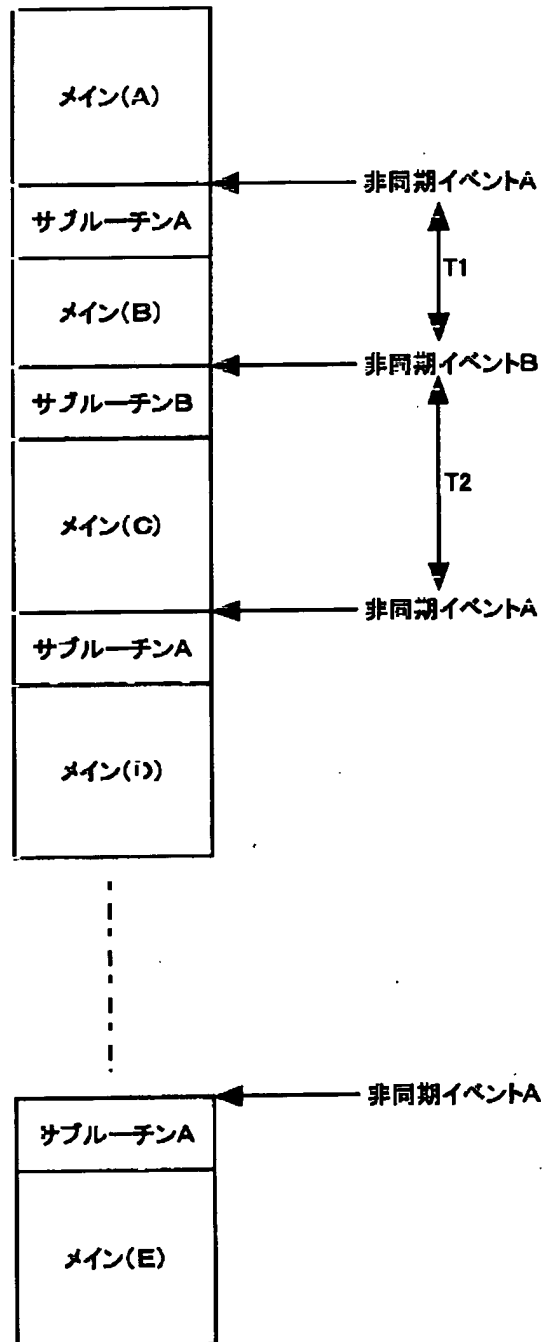
【図3】



【図4】

プログラムアドレス	プログラムデータ	ステータス
プログラム解析用トレースデータ		

【図2】



フロントページの続き

Fターム(参考) 5B042 GA13 GA33 GC03 HH30 LA18
MA04 MA08 MC03 MC07 MC08
MC09 MC31
5B048 AA12 BB02 DD04 DD10
5B062 AA08 CC02 EE05 EE09 JJ07
JJ08